

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirotomo ISHII

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE INCLUDING A PLURALITY OF POWER DOMAINS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-284329

MONTH/DAY/YEAR


September-27-2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0350409

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 9月27日

出願番号
Application Number:

特願2002-284329

[ST.10/C]:

[JP2002-284329]

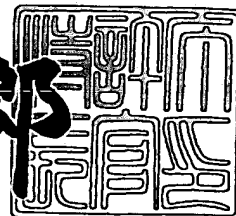
出願人
Applicant(s):

株式会社東芝

2003年 3月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021529

【書類名】 特許願

【整理番号】 A000203703

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 石井 啓友

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 第 1 の電源系統を有し、この第 1 の電源系統からの第 1 の電源電圧を供給するための第 1 の電源端子および第 1 のグランド端子のうち、少なくとも一方が独立して設けられた第 1 の回路ブロックと、

前記第 1 の電源系統とは異なる第 2 の電源系統を有し、この第 2 の電源系統からの第 2 の電源電圧を供給するための第 2 の電源端子および第 2 のグランド端子のうち、少なくとも一方が独立して設けられた第 2 の回路ブロックと、

前記第 1 の回路ブロックの出力端子および前記第 2 の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路と
を具備し、

少なくとも、前記第 2 の回路ブロックは同等の入力耐圧を有する複数の素子により構成し得る回路であり、

前記第 1 の回路ブロックは、前記第 2 の回路ブロックと同等か、もしくは、それよりも小さい入力耐圧を有する複数の素子により構成し得る回路であって、

前記伝搬回路を介して、前記信号が入力される前記第 2 の回路ブロックの前記入力端子につながる信号入力用の素子は、その入力耐圧が、前記第 2 の回路ブロックを構成する他の素子の入力耐圧よりも大きいことを特徴とする半導体装置。

【請求項 2】 前記伝搬回路は、前記出力端子および前記入力端子間を短絡するための回路であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の回路ブロックを構成する複数の素子は、MOS (Metal Oxide Semiconductor) 形トランジスタであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記 MOS 形トランジスタにより構成される、信号入力用の素子のゲート酸化膜は、他の素子のゲート酸化膜よりも厚いことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 第 1 の電源系統を有し、この第 1 の電源系統からの第 1 の電源電圧を供給するための第 1 の電源端子および第 1 のグランド端子のうち、少な

くとも一方が独立して設けられた第1の回路ブロックと、

前記第1の電源系統とは異なる第2の電源系統を有し、この第2の電源系統からの第2の電源電圧を供給するための第2の電源端子および第2のグランド端子のうち、少なくとも一方が独立して設けられた第2の回路ブロックと、

前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路と

を具備し、

前記伝搬回路は、前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に接続される抵抗を有してなることを特徴とする半導体装置

【請求項6】 前記伝搬回路は、前記第1の回路ブロックの、第1のPN接合を構成する第1の半導体領域、および、前記第2の回路ブロックの、第2のPN接合を構成する第2の半導体領域間を接続するための回路であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記第1の回路ブロックおよび前記第2の回路ブロックは、共に同等の入力耐圧を有する複数の素子により構成し得る回路であることを特徴とする請求項5または6に記載の半導体装置。

【請求項8】 前記第1の回路ブロックおよび前記第2の回路ブロックを構成する複数の素子は、MOS (Metal Oxide Semiconductor) 形トランジスタであることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第1の回路ブロックの、第1のPN接合を構成する第1の半導体領域、および、前記第2の回路ブロックの、第2のPN接合を構成する第2の半導体領域は、前記MOS形トランジスタの寄生PN接合であることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記第1の回路ブロックを構成する複数のMOS形トランジスタのうち、高電圧が印加される少なくとも1つのMOS形トランジスタは、その入力耐圧が、前記第1の回路ブロックを構成する他のMOS形トランジスタの入力耐圧よりも大きいか、あるいは、前記第2の回路ブロックを構成する複数のMOS形トランジスタのうち、高電圧が印加される少なくとも1つのMOS形

トランジスタは、その入力耐圧が、前記第 2 の回路ブロックを構成する他の MOS 形トランジスタの入力耐圧よりも大きいことを特徴とする請求項 8 または 9 に記載の半導体装置。

【請求項 1 1】 前記第 1 の回路ブロックを構成する複数の MOS 形トランジスタのうち、前記信号の出力回路を構成する MOS 形トランジスタは、そのゲート耐圧が、前記第 1 の回路ブロックを構成する他の MOS 形トランジスタのゲート耐圧よりも大きいことを特徴とする請求項 8 または 9 に記載の半導体装置。

【請求項 1 2】 第 1 の電源系統を有し、この第 1 の電源系統からの第 1 の電源電圧を供給するための第 1 の電源端子および第 1 のグランド端子のうち、少なくとも一方が独立して設けられた第 1 の回路ブロックと、

前記第 1 の電源系統とは異なる第 2 の電源系統を有し、この第 2 の電源系統からの第 2 の電源電圧を供給するための第 2 の電源端子および第 2 のグランド端子のうち、少なくとも一方が独立して設けられた第 2 の回路ブロックと、

前記第 1 の回路ブロックの出力端子および前記第 2 の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路と

を具備し、

前記第 1 の回路ブロックおよび前記第 2 の回路ブロックは共に同等の入力耐圧を有する複数の素子により構成し得る回路であって、

前記第 1 の回路ブロックを構成する複数の素子のうち、高電圧が印加される少なくとも 1 つの素子は、その入力耐圧が、前記第 1 の回路ブロックを構成する他の素子の入力耐圧よりも大きいか、あるいは、前記第 2 の回路ブロックを構成する複数の素子のうち、高電圧が印加される少なくとも 1 つの素子は、その入力耐圧が、前記第 2 の回路ブロックを構成する他の素子の入力耐圧よりも大きいことを特徴とする半導体装置。

【請求項 1 3】 前記伝搬回路は、前記第 1 の回路ブロックの、第 1 の PN 接合を構成する第 1 の半導体領域、および、前記第 2 の回路ブロックの、第 2 の PN 接合を構成する第 2 の半導体領域間を接続するための回路であることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】 前記伝搬回路は、前記第 1 の半導体領域および前記第 2 の

半導体領域間に接続される抵抗を有してなることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記第1の回路ブロックおよび前記第2の回路ブロックを構成する複数の素子は、MOS (Metal Oxide Semiconductor) 形トランジスタであることを特徴とする請求項12, 13または14に記載の半導体装置。

【請求項16】 前記第1の回路ブロックの、第1のPN接合を構成する第1の半導体領域、および、前記第2の回路ブロックの、第2のPN接合を構成する第2の半導体領域は、前記MOS形トランジスタの寄生PN接合であることを特徴とする請求項15に記載の半導体装置。

【請求項17】 前記高電圧が印加される少なくとも1つの素子は、前記信号の出力回路を構成するMOS形トランジスタであって、

そのゲート耐圧が、前記第1の回路ブロックを構成する他の素子に比べて大きいことを特徴とする請求項12乃至16のいずれかに記載の半導体装置。

【請求項18】 前記第1の電源電圧および前記第2の電源電圧は共に等しいことを特徴とする請求項1乃至17のいずれかに記載の半導体装置。

【請求項19】 前記第1の電源電圧および前記第2の電源電圧は互いに異なることを特徴とする請求項1乃至17のいずれかに記載の半導体装置。

【請求項20】 前記第1, 第2の電源端子および前記第1, 第2のグランド端子には、ESD (Electrostatic Discharge) 保護回路が接続されていることを特徴とする請求項1乃至19のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、複数の電源系統を有する半導体装置に関するもので、特に、互いに異なる電源系統に属する回路ブロックの間で信号を伝搬する半導体集積回路において、静電気放電 (ESDとも言う) 耐量の向上に使用されるものである。

【0002】

【従来の技術】

従来、半導体集積回路では、同一のチップ上に搭載された回路ブロック間での干渉、雑音による誤動作、性能の劣化などを防ぐ必要がある。そのために、同一の電源電圧であっても、機能の異なる回路ブロックに対しては、互いに独立された電源端子を設けることがある（たとえば、特許文献 1 参照）。

【0003】

【特許文献 1】

特公平 6 - 5 7 0 5 号公報

半導体集積回路の分野では、微細加工技術の進歩に伴い、同一チップ上に集積される素子数が増加する。すると、搭載される回路ブロックの数も増大し、ますます電源系統の分離の要求が高まることが想定される。

【0004】

分離された複数の電源系統を有する半導体集積回路においては、通常、異なる電源系統の間に ESD 保護回路網が形成される。これにより、集積回路にサージ電圧が印加された場合の、回路ブロック内での静電破壊が抑えられる。

【0005】

図 5 は、従来の半導体集積回路において、同一のチップ上に複数の電源系統が設けられてなる場合を例に示すものである。

【0006】

図 5 において、第 1 の電源系統 1 0 1 は、電源端子 (VDD) 1 0 2 と、グランド端子 (VSS) 1 0 3 と、第 1 の回路 1 0 4 とを備えている。第 2 の電源系統 2 0 1 は、電源端子 2 0 2 と、グランド端子 2 0 3 と、第 2 の回路 2 0 4 とを備えている。第 3 の電源系統 3 0 1 は、電源端子 3 0 2 と、グランド端子 3 0 3 と、第 3 の回路 3 0 4 とを備えている。

【0007】

また、上記各回路 1 0 4, 2 0 4, 3 0 4 の相互は、互いに信号を入力あるいは出力するための、単数または複数からなる信号線 4 0 1, 4 0 2, 4 0 3 により接続されている。

【0008】

上記各電源端子102, 202, 302および上記各グランド端子103, 203, 303は、それぞれ独立して設けられている。そして、上記各電源端子102, 202, 302は、電源配線501, 503, 505をそれぞれ介して、ESD保護回路網601の各端子602, 604, 606に接続されている。上記各グランド端子103, 203, 303は、電源配線502, 504, 506をそれぞれ介して、ESD保護回路網601の各端子603, 605, 607に接続されている。

【0009】

なお、図中に示すR1～R6は、それぞれ、上記電源配線501～506の寄生抵抗である。

【0010】

ESD保護回路網601は、各端子102, 103, 202, 203, 302, 303のうち、任意の二端子間にサージ電圧が印加された場合でも、内部の保護素子（図示していない）によって、各回路104, 204, 304に静電破壊が生じるような過大な電圧が印加されるのを防ぐようにしたものである。

【0011】

ここで、この従来例においては、全ての端子102, 103, 202, 203, 302, 303を互いに独立した端子としている。しかし、電源端子102, 202, 302のうちの任意の端子同士、あるいは、グランド端子103, 203, 303のうちの任意の端子同士を相互に接続し、共通の端子とすることも可能である。また、図5に示した集積回路は、電源系統が三系統の場合の一例を示したものであり、この例と異なるものであっても構わない。

【0012】

図6は、図5に示したESD保護回路網601において、任意の二端子間についての電圧と電流との関係を示したものである。ここでは、等価寄生抵抗が大きい場合（点線611）と小さい場合（実線612）とについて、それぞれ特性例を示している。

【0013】

等価寄生抵抗とは、保護素子に流れる電流がI1よりも大きい領域における電

圧特性を特徴づけるためのパラメータである。この領域における、保護素子の両端の電圧 V_{clamp} と保護素子を流れる電流 I_{clamp} との関係は、等価寄生抵抗 R_{esd} および保持電圧 V_H を用いて、下記式 (1) のように表現できる。

【 0 0 1 4 】

$$V_{clamp} = I_{clamp} \times R_{esd} + V_H \quad \dots \quad (1)$$

一般に、保持電圧 V_H は保護素子の三次元的構造に依存する。一方、等価寄生抵抗 R_{esd} は、保護素子の平面的な寸法に依存し、一般に寸法が大きいほど低減される性質がある。ある特定の製造プロセスを前提とした場合、三次元的構造を変更することは難しいが、平面的な寸法を任意に設定することは容易である。そのため、等価寄生抵抗 R_{esd} が所望の値になるように保護素子を設計することは容易に可能である。

【 0 0 1 5 】

以下、図 5 に示した集積回路に対し、サージ電圧が印加された場合について考察する。ここでは、その一例として、電源端子 1 0 2 とグランド端子 2 0 3 との間にサージ電圧が印加された場合について考察する。その他の端子の組み合わせに対する考察は省略するが、同様の考察が可能である。

【 0 0 1 6 】

図 7 は、図 5 に示した集積回路において、電源端子 1 0 2 とグランド端子 2 0 3 との間にサージ電圧が印加された場合の電流経路を示すものである。

【 0 0 1 7 】

図に示すように、サージ電圧の印加に伴って、サージ電流は経路 7 0 1 の通り流れる。すなわち、サージ電流は、電源端子 1 0 2 から電源配線 5 0 1 の寄生抵抗 R_1 を経て、ESD 保護回路網 6 0 1 の端子 6 0 2 へ至る。そして、ESD 保護回路網 6 0 1 の内部の保護素子を経た後、端子 6 0 5 から電源配線 5 0 4 の寄生抵抗 R_4 を介して、グランド端子 2 0 3 へと流れる。

【 0 0 1 8 】

ここで、サージ電流を I_{esd} 、ESD 保護回路網 6 0 1 の端子 6 0 2、6 0 5 間の特性を図 6 に実線 6 1 2 で示した特性、その等価寄生抵抗を R_{esd} とすると、電源端子 1 0 2 とグランド端子 2 0 3 との間の電圧 V_{esd} は、下記式 (2) に

よって表わされる。

【0019】

$$V_{esd} = I_{esd} \times (R_1 + R_4 + R_{esd}) + V_H \quad \cdots (2)$$

以下では、集積回路に、上記式(2)によって表される電圧 V_{esd} が印加された場合の挙動について考察する。

【0020】

図8は、図5に示した集積回路の、第1の電源系統101と第2の電源系統201とに関係する部分だけを抜粋して示すものである。なお、ここでは、第1の回路104の、MOSトランジスタMP1, MN1よりなるインバータから出力された信号が、第2の回路204の、MOSトランジスタMP2, MN2よりなるインバータに入力される場合を例に示している。

【0021】

この例の場合、第1の回路104には、たとえば、NMOSトランジスタMN1とPMOSトランジスタMP1とで構成されたインバータINV1が含まれている。この第1の回路104では、信号線401に対し、上記インバータINV1からの信号を出力するようになっている。また、第2の回路204には、たとえば、NMOSトランジスタMN2とPMOSトランジスタMP2とで構成された第1のインバータINV2と、NMOSトランジスタMN3とPMOSトランジスタMP3とで構成された第2のインバータINV3とが含まれている。この第2の回路204では、第1の回路104より出力され、信号線401を伝搬されてくる信号が、上記インバータINV2に入力されるようになっている。

【0022】

図8に示した集積回路に、上記式(2)で表わされる電圧 V_{esd} が印加された場合、信号線401の電位は、概ね、電源端子102とグランド端子203との間の電位になると考えられる。このため、その最大電位は、電源端子102とほぼ等しい電位となる。その電位は、そのまま第2の回路204のNMOSトランジスタMN2のゲートに印加される。

【0023】

一方、NMOSトランジスタMN2のソースは、グランド端子203に接続さ

れている。このため、ソースの電位はグランド端子203の電位と等しい。したがって、NMOSトランジスタMN2のゲート・ソース間の電圧は、最大で、電源端子102とグランド端子203との間の電位に等しい電圧、つまり電圧 V_{esd} となる。この電圧 V_{esd} がNMOSトランジスタMN2のゲート耐圧を超えた場合、ゲート酸化膜が静電破壊するという問題が生じる。

【0024】

図9は、図8と同様に、図5に示した集積回路の、第1の電源系統101と第2の電源系統201とに関係する部分だけを抜粋して示すもので、図8とは別の例を示すものである。ここでは、第1の回路104の、MOSトランジスタMP11, MN11よりなる出力回路から出力された信号が、第2の回路204の、MOSトランジスタMP14, MN14よりなる入力回路に入力される場合を例に示している。

【0025】

この例の場合、第1の回路104には、たとえば、NMOSトランジスタMN11とPMOSトランジスタMP11とで構成された出力回路OC1と、上記NMOSトランジスタMN11の前段の回路OC2を構成するNMOSトランジスタMN12とPMOSトランジスタMP12、および、上記PMOSトランジスタMP11の前段の回路OC3を構成するNMOSトランジスタMN13とPMOSトランジスタMP13が含まれている。この第1の回路104では、信号線401に対し、上記NMOSトランジスタMN11および上記PMOSトランジスタMP11の共通ドレインからの信号を出力するようになっている。

【0026】

なお、図中に示すR11, R12は、それぞれ、電源端子102およびグランド端子103につながる電源配線の寄生抵抗である。

【0027】

第2の回路204には、たとえば、NMOSトランジスタMN14とPMOSトランジスタMP14とで構成されたアナログスイッチ（入力回路）AS1が含まれている。この第2の回路204では、第1の回路104より出力され、信号線401を伝搬されてくる信号が、上記NMOSトランジスタMN14および上

記PMOSトランジスタMP14のドレイン同士の接続点に入力されるようになっている。

【0028】

図9に示した集積回路では、第1の電源系統101と第2の電源系統201との間にまたがる信号が、MOSトランジスタMN14、MP14の共通ドレインに供給されるようになっている。そのため、上記式2により表わされる電圧 V_{esd} が印加された場合には、図8の集積回路とは異なった問題が生じる。

【0029】

すなわち、電圧 V_{esd} が印加された場合、図7に示した電流経路701に沿ってサージ電流が流れることは、図8の集積回路の場合と同じである。その他に、第1、第2の回路104、204の内部のPN接合部を介して、サージ電流が流れることが想定される。

【0030】

サージ電流は、たとえば図10に示す電流経路702のように、電源端子102から電源配線の寄生抵抗 R_{11} 、PMOSトランジスタMP11のソース-Nウェルドレインで構成される寄生バイポーラ(PNP)トランジスタ、PMOSトランジスタMP14のドレイン-Nウェルで構成される寄生ダイオード、電源配線503の寄生抵抗 R_3 を経て、ESD保護回路網601の端子604へ至る。そして、ESD保護回路網601の内部の保護素子を経た後、端子605から電源配線504の寄生抵抗 R_4 を介して、グランド端子203へと流れる。

【0031】

このときの電流値は、上記式2により表わされる電圧 V_{esd} 、寄生ダイオードや寄生バイポーラトランジスタの特性によって決定される。

【0032】

一方、これらの寄生ダイオードや寄生バイポーラトランジスタには、素子の寸法などによって決まる許容電流値がある。この許容電流値を超えたサージ電流に対しては、PN接合部が破壊され、MOSトランジスタとしても正常に機能しなくなるという問題が生じる。

【0033】

さらに、図9に示した集積回路の場合、電流経路702と寄生抵抗R11とに起因する別の問題も想定される。たとえば、電流経路702に沿ってサージ電流が流れた場合、寄生抵抗R11の両端に電圧降下が生じる。PMOSトランジスタMP13のドレインの電位は、定常的には、電源端子102とグランド端子103との間であると考えられる。寄生容量のために、概ね、電源端子102の過渡的な変化に追従するものと考えられる。すなわち、寄生抵抗R11の両端に生じた電圧降下によって、相対的に、PMOSトランジスタMP11のソースの電位よりも電源端子102の電位が上昇し、結果的に、PMOSトランジスタMP13のドレインの電位も上昇する。PMOSトランジスタMP13のドレインは、PMOSトランジスタMP11のゲートに接続されている。そのため、PMOSトランジスタMP11のソースの電位に対して、PMOSトランジスタMP11のゲートの電位が上昇することになる。このように、寄生抵抗R11の両端に生じる電圧が、概ね、PMOSトランジスタMP11のゲート耐圧よりも大きい場合には、PMOSトランジスタMP11のゲート酸化膜が静電破壊されるという問題が生じる。

【0034】

【発明が解決しようとする課題】

上述したように、ESDによるサージ電圧の印加に対して、ESD保護回路網を用いて内部の回路を保護しようとしても、ESD保護回路網へ至る電源配線の寄生抵抗やESD保護回路網の等価寄生抵抗が大きい場合、内部の回路を保護しきれない場合が想定される。その対策としては、電源配線の拡張や保護素子の大型化による寄生抵抗の低減が有効であることは明らかである。しかしながら、これらの対策は、結果的にチップ面積の拡大を招き、チップコストの増大につながる。

【0035】

また、同一チップ内の電源系統の数が増えた場合、あるいは、雑音に敏感な回路を雑音源から離して配置する場合など、場合によっては、チップ上での物理的距離が離れた場所に電源系統の独立した回路を配置することがある。このような場合には、ESD保護回路網に至る電源配線長が長くなりやすい。しかしながら

、E S Dに対する保護の観点から、配線の寄生抵抗値を一定値以下に抑えるためには、電源配線長が短い場合に比べて、配線幅を太く拡張する必要がある。その結果、電源配線の拡張に伴ってチップ面積が著しく拡大するなど、E S D保護対策が非常に困難になるという問題がある。

【 0 0 3 6 】

そこで、この発明は、従来と同等のチップ面積であってもよりE S D耐量を向上させることが可能な半導体装置、もしくは、従来と同等のE S D耐量をより小さなチップ面積でも実現することが可能な半導体装置を提供することを目的としている。

【 0 0 3 7 】

【課題を解決するための手段】

上記の目的を達成するために、この発明の半導体装置にあっては、第1の電源系統を有し、この第1の電源系統からの第1の電源電圧を供給するための第1の電源端子および第1のグランド端子のうち、少なくとも一方が独立して設けられた第1の回路ブロックと、前記第1の電源系統とは異なる第2の電源系統を有し、この第2の電源系統からの第2の電源電圧を供給するための第2の電源端子および第2のグランド端子のうち、少なくとも一方が独立して設けられた第2の回路ブロックと、前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路とを具備し、少なくとも、前記第2の回路ブロックは同等の入力耐圧を有する複数の素子により構成し得る回路であり、前記第1の回路ブロックは、前記第2の回路ブロックと同等か、もしくは、それよりも小さい入力耐圧を有する複数の素子により構成し得る回路であって、前記伝搬回路を介して、前記信号が入力される前記第2の回路ブロックの前記入力端子につながる信号入力用の素子は、その入力耐圧が、前記第2の回路ブロックを構成する他の素子の入力耐圧よりも大きいことを特徴とする。

【 0 0 3 8 】

また、この発明の半導体装置にあっては、第1の電源系統を有し、この第1の電源系統からの第1の電源電圧を供給するための第1の電源端子および第1のグ

ランド端子のうち、少なくとも一方が独立して設けられた第1の回路ブロックと、前記第1の電源系統とは異なる第2の電源系統を有し、この第2の電源系統からの第2の電源電圧を供給するための第2の電源端子および第2のグランド端子のうち、少なくとも一方が独立して設けられた第2の回路ブロックと、前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路とを具備し、前記伝搬回路は、前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に接続される抵抗を有してなることを特徴とする。

【 0 0 3 9 】

さらに、この発明の半導体装置にあつては、第1の電源系統を有し、この第1の電源系統からの第1の電源電圧を供給するための第1の電源端子および第1のグランド端子のうち、少なくとも一方が独立して設けられた第1の回路ブロックと、前記第1の電源系統とは異なる第2の電源系統を有し、この第2の電源系統からの第2の電源電圧を供給するための第2の電源端子および第2のグランド端子のうち、少なくとも一方が独立して設けられた第2の回路ブロックと、前記第1の回路ブロックの出力端子および前記第2の回路ブロックの入力端子間に設けられた、信号を伝搬するための伝搬回路とを具備し、前記第1の回路ブロックおよび前記第2の回路ブロックは共に同等の入力耐圧を有する複数の素子により構成し得る回路であつて、前記第1の回路ブロックを構成する複数の素子のうち、高電圧が印加される少なくとも1つの素子は、その入力耐圧が、前記第1の回路ブロックを構成する他の素子の入力耐圧よりも大きいか、あるいは、前記第2の回路ブロックを構成する複数の素子のうち、高電圧が印加される少なくとも1つの素子は、その入力耐圧が、前記第2の回路ブロックを構成する他の素子の入力耐圧よりも大きいことを特徴とする。

【 0 0 4 0 】

この発明の半導体装置によれば、E S Dにより破壊されやすい回路ブロックに対するE S D保護対策を、既成の製造プロセスにより容易に実施できるようなる。これにより、電源配線の拡張や保護素子の大型化によらず、E S D耐量の向上が可能となるものである。

【0041】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0042】

(第1の実施形態)

図1は、本発明の第1の実施形態にかかる半導体集積回路の構成例を示すものである。なお、ここでは、第1の電源系統と第2の電源系統とを有して構成される場合を例に説明する。

【0043】

図1において、第1の電源系統11は、第1の電源端子である電源端子(VDD)12と、第1のグランド端子であるグランド端子(VSS)13と、第1の回路(第1の回路ブロック)14とを備えている。この第1の回路14は、上記第1の電源系統11から上記電源端子12および上記グランド端子13に供給される第1の電源電圧により動作する。

【0044】

第2の電源系統21は、第2の電源端子である電源端子22と、第2のグランド端子であるグランド端子23と、第2の回路(第2の回路ブロック)24とを備えている。この第2の回路24は、上記第2の電源系統21から上記電源端子22および上記グランド端子23に供給される第2の電源電圧により動作する。

【0045】

また、上記各回路14、24の相互は、互いに信号を入力あるいは出力するための、単数または複数からなる信号線(伝搬回路)41により接続されている。

【0046】

上記各電源端子12、22および上記各グランド端子13、23は、それぞれ独立して設けられている。そして、上記各電源端子12、22は、電源配線51、53をそれぞれ介して、ESD保護回路網61の各端子62、64に接続されている。上記各グランド端子13、23は、電源配線52、54をそれぞれ介して、ESD保護回路網61の各端子63、65に接続されている。

【0047】

なお、図中に示すR 1 ~ R 4 は、それぞれ、上記電源配線 5 1 ~ 5 4 の寄生抵抗である。

【 0 0 4 8 】

E S D 保護回路網 6 1 は、各端子 1 2, 1 3, 2 2, 2 3 のうち、任意の二端子間にサージ電圧が印加された場合でも、内部の保護素子（図示していない）によって、各回路 1 4, 2 4 に静電破壊が生じるような過大な電圧が印加されるのを防ぐものである。

【 0 0 4 9 】

この例の場合、上記第 1 の回路 1 4 には、たとえば、N M O S トランジスタ M N 1 と P M O S トランジスタ M P 1 とで構成されたインバータ（出力回路） I N V 1 が含まれている。この第 1 の回路 1 4 では、信号線 4 1 に対し、上記インバータ I N V 1 の出力端子 O T からの信号を出力するようになっている。

【 0 0 5 0 】

一方、第 2 の回路 2 4 には、たとえば、信号入力用の素子としての N M O S トランジスタ M N 2 T と P M O S トランジスタ M P 2 T とで構成された第 1 のインバータ（入力回路） I N V 2 T と、N M O S トランジスタ M N 3 と P M O S トランジスタ M P 3 とで構成された第 2 のインバータ I N V 3 とが含まれている。この第 2 の回路 2 4 では、第 1 の回路 1 4 より出力され、信号線 4 1 を伝搬されてくる信号が、上記インバータ I N V 2 T の入力端子 I T に入力されるようになっている。

【 0 0 5 1 】

また、第 2 の回路 2 4 において、上記第 1 のインバータ I N V 2 T を構成する N M O S トランジスタ M N 2 T および P M O S トランジスタ M P 2 T は、それぞれ、他の素子よりもゲート耐圧の高い素子によって構成されている（M N 2 T, M P 2 T > M N 1, M P 1, M N 3, M P 3）。これにより、N M O S トランジスタ M N 2 T および P M O S トランジスタ M P 2 T の各ゲートに対し、集積回路へのサージ電圧の印加による高電圧が加えられたとしても、ゲート酸化膜が静電破壊するのを防ぐことが可能となる。

【 0 0 5 2 】

ここで、本実施形態においては、第1の回路14および第2の回路24を、同等のゲート耐圧（入力耐圧）を有する複数の素子により構成し得る場合を想定している。その場合、たとえば第1の電源系統11の第1の電源電圧および第2の電源系統21の第2の電源電圧は同じ場合が含まれる。また、第1の電源系統11および第2の電源系統21は、必ずしもまったく同一の電源電圧である必要はない。

【0053】

すなわち、図1に示した集積回路は、たとえば図8に示したNMOSトランジスタMN2およびPMOSトランジスタMP2が、よりゲート耐圧の高いNMOSトランジスタMN2TおよびPMOSトランジスタMP2Tによって置き換えられてなる構成とされている。このようなNMOSトランジスタMN2TおよびPMOSトランジスタMP2Tは、たとえば、そのゲート酸化膜の膜厚を他の素子よりも厚くすることで容易に実現可能である。

【0054】

同一チップ内において、回路ごとにゲート耐圧の異なる素子を用いることは、製造プロセスによっては実現が容易である。一般的に、チップ内の内部回路の電源電圧は、たとえば1.5V程度以下である。そのため、それに応じたゲート耐圧の素子が用いられる。これに対し、チップの外部とのインタフェースに用いられるI/O回路の電源電圧は、たとえば2.5V程度である。したがって、内部回路よりもゲート耐圧の高い素子が用いられる。

【0055】

このように、近年の製造プロセスによれば、同一チップ内で、内部回路よりもゲート耐圧の高い素子が標準的に用いられるような場合には、たとえ内部回路であっても、部分的にその他の内部回路よりもゲート耐圧の高い素子を形成することが可能であり、これにより製造コストの増大を招くこともない。

【0056】

本実施形態の場合のように、異なる電源系統の回路から出力された信号が入力される素子を、他の素子よりもゲート耐圧の高いMOS形トランジスタを用いて構成する。すると、従来に比べて、ゲートの静電破壊が生じにくくなる。その結

果、従来と同一のESD保護対策を施した場合にも、何ら特別な製造プロセスを必要とすることなく、ESD耐量を高くすることが可能となる。

【0057】

すなわち、電源配線を太く拡張したり、保護素子を大型化したりすることなしに、従来と同一のESD保護回路網および従来と同一の寄生抵抗を有する電源配線によりESD保護対策を施す場合においても、チップ面積の拡大やチップコストの増大を招くことなく、ESD耐量を向上させることが可能となる。

【0058】

また、たとえば従来よりも電源配線を細くしたり、保護素子を小型化したりすることにより、電源配線の寄生抵抗や保護素子の等価寄生抵抗を増大させた場合でも、ゲートの静電破壊は生じにくくなる。すなわち、本実施形態によれば、より面積の小さなチップで従来と同等のESD耐量を得ることができ、チップコストの低減を可能にするという利点もある。

【0059】

なお、本実施形態にかかる集積回路は、たとえば図1に示した構成に限定されるものではない。すなわち、ある電源系統から出力された信号が、他の電源系統内におけるMOS形トランジスタのゲートに入力される構成のものであれば、まったく同様に適用することが可能である。

【0060】

(第2の実施形態)

図2は、本発明の第2の実施形態にかかる半導体集積回路の構成例を示すものである。なお、ここでは、ある電源系統の出力回路から出力された信号が、別の電源系統の入力回路を構成するMOS形トランジスタのドレインなどのPN接合部に入力される場合を例に説明する。

【0061】

図2において、第1の電源系統11は、第1の電源端子である電源端子(VD)12と、第1のグランド端子であるグランド端子(VSS)13と、第1の回路(第1の回路ブロック)14とを備えている。この第1の回路14は、上記第1の電源系統11から上記電源端子12および上記グランド端子13に供給さ

れる第1の電源電圧により動作する。

【0062】

第2の電源系統21は、第2の電源端子である電源端子22と、第2のグランド端子であるグランド端子23と、第2の回路（第2の回路ブロック）24とを備えている。この第2の回路24は、上記第2の電源系統21から上記電源端子22および上記グランド端子23に供給される第2の電源電圧により動作する。

【0063】

また、上記各回路14，24の相互は、互いに信号を入力あるいは出力するための信号線（伝搬回路）41Lにより接続されている。

【0064】

上記各電源端子12，22および上記各グランド端子13，23は、それぞれ独立して設けられている。そして、上記各電源端子12，22は、電源配線51，53をそれぞれ介して、ESD保護回路網61の各端子62，64に接続されている。上記各グランド端子13，23は、電源配線52，54をそれぞれ介して、ESD保護回路網61の各端子63，65に接続されている。

【0065】

なお、図中に示すR1～R4は、それぞれ、上記電源配線51～54の寄生抵抗である。

【0066】

ESD保護回路網61は、各端子12，13，22，23のうち、任意の二端子間にサージ電圧が印加された場合でも、内部の保護素子（図示していない）によって、各回路14，24に静電破壊が生じるような過大な電圧が印加されるのを防ぐものである。

【0067】

この例の場合、第1の回路14には、たとえば、NMOSトランジスタMN11とPMOSトランジスタMP11とで構成された出力回路OC1と、上記NMOSトランジスタMN11の前段の回路OC2を構成するNMOSトランジスタMN12とPMOSトランジスタMP12、および、上記PMOSトランジスタMP11の前段の回路OC3を構成するNMOSトランジスタMN13とPMO

SトランジスタMP13が含まれている。この第1の回路14では、信号線41Lに対し、上記NMOSトランジスタMN11および上記PMOSトランジスタMP11の共通ドレイン（出力端子OT）からの信号を出力するようになっている。

【0068】

なお、図中に示すR11、R12は、それぞれ、電源端子12およびグランド端子13につながる電源配線の寄生抵抗である。

【0069】

一方、第2の回路24には、たとえば、NMOSトランジスタMN14とPMOSトランジスタMP14とで構成されたアナログスイッチ（入力回路）AS1が含まれている。この第2の回路24では、上記NMOSトランジスタMN11および上記PMOSトランジスタMP11の共通ドレインより出力され、信号線41Lを伝搬されてくる信号が、上記NMOSトランジスタMN14および上記PMOSトランジスタMP14のドレイン同士の接続点（入力端子IT）に入力されるようになっている。

【0070】

上記信号線41Lは、上記NMOSトランジスタMN11および上記PMOSトランジスタMP11の共通ドレインと、上記NMOSトランジスタMN14および上記PMOSトランジスタMP14の共通ドレインとの間に、抵抗素子Rlimitが挿入されている。これにより、たとえ集積回路にサージ電圧が印加されたとしても、上記NMOSトランジスタMN14および上記PMOSトランジスタMP14の共通ドレインに供給されるサージ電流を低減することが可能となっている。

【0071】

なお、上記抵抗素子Rlimitは、抵抗特性を示すものであれば、いかなる素子であっても良く、何ら特別な製造プロセスを必要としない。また、このような信号線41Lは、たとえば、信号線の途中に抵抗特性を有する素子を形成することで、製造コストの増大を招くことなしに容易に実現可能である。

【0072】

ここで、本実施形態においては、第 1 の回路 1 4 および第 2 の回路 2 4 を、同等のゲート耐圧（入力耐圧）を有する複数の素子により構成し得る場合を想定している。その場合、たとえば第 1 の電源系統 1 1 の第 1 の電源電圧および第 2 の電源系統 2 1 の第 2 の電源電圧は同じ場合が含まれる。また、第 1 の電源系統 1 1 および第 2 の電源系統 2 1 は、必ずしもまったく同一の電源電圧である必要はない。

【 0 0 7 3 】

すなわち、図 2 に示した集積回路は、たとえば図 9 に示した信号線 4 0 1 が、抵抗素子 R_{limit} を有する信号線 4 1 L によって置き換えられてなる構成とされている。

【 0 0 7 4 】

本実施形態の場合のように、出力回路を構成する MOS 形トランジスタの共通ドレインと、入力回路を構成する MOS 形トランジスタの共通ドレインとの間を、抵抗素子 R_{limit} が挿入された信号線 4 1 L を用いて接続する。この場合も、集積回路へのサージ電圧の印加時には、図 1 0 に電流経路 7 0 2 で示したようなサージ電流が流れる。すると、そのサージ電流は、信号線 4 1 L に挿入された抵抗素子 R_{limit} により低減される。そのため、従来よりも PN 接合部の破壊が生じにくくなる。したがって、抵抗素子 R_{limit} を配置した分だけ、わずかにチップ面積が拡大するものの、製造コストをほとんど増大させることなく、ESD 耐量を高くすることが可能である。

【 0 0 7 5 】

すなわち、抵抗素子 R_{limit} が挿入された信号線 4 1 L を用いることによって、ESD 耐量を向上できるようになる結果、たとえば、PMOS トランジスタ M P 1 1 のソース-Nウェルードレインで構成される寄生バイポーラトランジスタ（第 1 の PN 接合を構成する第 1 の半導体領域）や、PMOS トランジスタ M P 1 4 のドレイン-Nウェルで構成される寄生ダイオード（第 2 の PN 接合を構成する第 2 の半導体領域）にサージ電流が流れたとしても、このサージ電流によって寄生 PN 接合部が破壊されるのを防ぐことが可能となる。

【 0 0 7 6 】

このように、本実施形態によっても、上述した第 1 の実施形態の場合と同様に、チップ面積の拡大やチップコストの増大をほとんど招くことなく、ESD 耐量を向上させることが可能であり、また、従来と同等の ESD 耐量をより低コストで実現できる。

【 0 0 7 7 】

なお、本実施形態にかかる集積回路は、たとえば図 2 に示した構成に限定されるものではない。すなわち、ある電源系統から出力された信号が、他の電源系統内における MOS 形トランジスタのドレインなどの PN 接合部に入力される構成のものであれば、まったく同様に適用することが可能である。

【 0 0 7 8 】

(第 3 の実施形態)

図 3 は、本発明の第 3 の実施形態にかかる半導体集積回路の構成例を示すものである。なお、ここでは、ある電源系統の出力回路から出力された信号が、別の電源系統の入力回路を構成する MOS 形トランジスタのドレインなどの PN 接合部に入力される場合を例に、他の構成について説明する。

【 0 0 7 9 】

図 3 において、第 1 の電源系統 1 1 は、第 1 の電源端子である電源端子 (VDD) 1 2 と、第 1 のグランド端子であるグランド端子 (VSS) 1 3 と、第 1 の回路 (第 1 の回路ブロック) 1 4 とを備えている。この第 1 の回路 1 4 は、上記第 1 の電源系統 1 1 から上記電源端子 1 2 および上記グランド端子 1 3 に供給される第 1 の電源電圧により動作する。

【 0 0 8 0 】

第 2 の電源系統 2 1 は、第 2 の電源端子である電源端子 2 2 と、第 2 のグランド端子であるグランド端子 2 3 と、第 2 の回路 (第 2 の回路ブロック) 2 4 とを備えている。この第 2 の回路 2 4 は、上記第 2 の電源系統 2 1 から上記電源端子 2 2 および上記グランド端子 2 3 に供給される第 2 の電源電圧により動作する。

【 0 0 8 1 】

また、上記各回路 1 4, 2 4 の相互は、互いに信号を入力あるいは出力するための信号線 (伝搬回路) 4 1 により接続されている。

【 0 0 8 2 】

上記各電源端子 1 2, 2 2 および上記各グランド端子 1 3, 2 3 は、それぞれ独立して設けられている。そして、上記各電源端子 1 2, 2 2 は、電源配線 5 1, 5 3 をそれぞれ介して、E S D 保護回路網 6 1 の各端子 6 2, 6 4 に接続されている。上記各グランド端子 1 3, 2 3 は、電源配線 5 2, 5 4 をそれぞれ介して、E S D 保護回路網 6 1 の各端子 6 3, 6 5 に接続されている。

【 0 0 8 3 】

なお、図中に示す R 1 ~ R 4 は、それぞれ、上記電源配線 5 1 ~ 5 4 の寄生抵抗である。

【 0 0 8 4 】

E S D 保護回路網 6 1 は、各端子 1 2, 1 3, 2 2, 2 3 のうち、任意の二端子間にサージ電圧が印加された場合でも、内部の保護素子（図示していない）によって、各回路 1 4, 2 4 に静電破壊が生じるような過大な電圧が印加されるのを防ぐものである。

【 0 0 8 5 】

この例の場合、第 1 の回路 1 4 には、たとえば、N M O S トランジスタ M N 1 1 T と P M O S トランジスタ M P 1 1 T とで構成された出力回路 O C 1 と、上記 N M O S トランジスタ M N 1 1 T の前段の回路 O C 2 を構成する N M O S トランジスタ M N 1 2 と P M O S トランジスタ M P 1 2、および、上記 P M O S トランジスタ M P 1 1 T の前段の回路 O C 3 を構成する N M O S トランジスタ M N 1 3 と P M O S トランジスタ M P 1 3 が含まれている。この第 1 の回路 1 4 では、信号線 4 1 に対し、上記 N M O S トランジスタ M N 1 1 T および上記 P M O S トランジスタ M P 1 1 T の共通ドレイン（出力端子 O T）からの信号を出力するようになっている。

【 0 0 8 6 】

なお、図中に示す R 1 1, R 1 2 は、それぞれ、電源端子 1 2 およびグランド端子 1 3 につながる電源配線の寄生抵抗である。

【 0 0 8 7 】

一方、第 2 の回路 2 4 には、たとえば、N M O S トランジスタ M N 1 4 と P M

OSトランジスタMP14とで構成されたアナログスイッチ（入力回路）AS1が含まれている。この第2の回路24では、上記NMOSトランジスタMN11Tおよび上記PMOSトランジスタMP11Tの共通ドレインより出力され、信号線41を伝搬されてくる信号が、上記NMOSトランジスタMN14および上記PMOSトランジスタMP14のドレイン同士の接続点（入力端子IT）に入力されるようになっている。

【0088】

また、第1の回路14において、上記出力回路OC1を構成するNMOSトランジスタMN11TおよびPMOSトランジスタMP11Tは、それぞれ、他の素子よりもゲート耐圧の高い素子によって構成されている（MN11T, MP11T > MN12, MP12, MN13, MP13, MN14, MP14）。これにより、集積回路に電圧Vesdが印加された場合において、図10に示した電流経路702に沿ってサージ電流が流れたとしても、寄生抵抗R11の両端に生じる電圧降下に起因して、PMOSトランジスタMP11Tのゲート酸化膜が絶縁破壊されるのを防止することができる。

【0089】

ここで、本実施形態においては、第1の回路14および第2の回路24を、同等のゲート耐圧（入力耐圧）を有する複数の素子により構成し得る場合を想定している。その場合、たとえば第1の電源系統11の第1の電源電圧および第2の電源系統21の第2の電源電圧は同じ場合が含まれる。また、第1の電源系統11および第2の電源系統21は、必ずしもまったく同一の電源電圧である必要はない。

【0090】

すなわち、図3に示した集積回路は、たとえば図9に示したNMOSトランジスタMN11およびPMOSトランジスタMP11が、よりゲート耐圧の高いNMOSトランジスタMN11TおよびPMOSトランジスタMP11Tによって置き換えられてなる構成とされている。このようなNMOSトランジスタMN11TおよびPMOSトランジスタMP11Tは、たとえば、そのゲート酸化膜の膜厚を他の素子よりも厚くすることで容易に実現可能である。

【0091】

本実施形態の場合においても、上述した第1の実施形態の場合と同様に、同一チップ内において、部分的にその他の内部回路よりもゲート耐圧の高い素子を形成することは、近年の製造プロセスによれば実現が容易であり、これにより製造コストの増大を招くこともない。

【0092】

上記したように、第1の電源系統11のMOS形トランジスタNM11T, MP11Tから出力された信号が、第2の電源系統21のMOS形トランジスタMN14, MP14のドレインなどのPN接合部に入力される構成の集積回路においては、MOS形トランジスタNM11T, MP11Tを、他の素子よりもゲート耐圧の高いMOS形トランジスタを用いて構成する。すると、従来に比べて、ゲートの静電破壊が生じにくくなる。その結果、従来と同一のESD保護対策を施した場合にも、何ら特別な製造プロセスを必要とすることなく、ESD耐量を高くすることが可能となる。

【0093】

すなわち、本実施形態によっても、チップ面積の拡大やチップコストの増大を招くことなく、ESD耐量を向上させることが可能であり、また、従来と同等のESD耐量をより低コストで実現できる。

【0094】

なお、本実施形態にかかる集積回路は、たとえば図3に示した構成に限定されるものではない。すなわち、ある電源系統のMOS形トランジスタから出力された信号が、他の電源系統内におけるMOS形トランジスタのドレインなどのPN接合部に入力され、かつ、上記信号を出力する側のMOS形トランジスタに電源配線の寄生抵抗を介してサージ電流が流れる構成のものであれば、まったく同様に適用することが可能である。

【0095】

また、ゲート耐圧の高い素子は、必ずしも信号を出力する出力回路に限らず、その他の回路に用いることも可能である。すなわち、出力回路以外の、たとえば高電圧の印加によりゲート破壊が生じ得る回路を、他の素子よりもゲート耐圧の

高い素子を用いて構成するようにすればよい。

【0096】

特に、第3の実施形態にかかる構成の半導体集積回路において、さらに、上述した第2の実施形態で示した半導体集積回路を実現することも可能である。この場合、たとえば図4に示すように、MOS形トランジスタNM11T, MP11Tを、他の素子よりもゲート耐圧の高いMOS形トランジスタを用いて構成すると同時に、第1, 第2の回路14, 24の相互を、抵抗素子Rlimitが挿入されてなる信号線41Lを用いて接続する。この構成によれば、チップ面積の拡大やチップコストの増大をほとんど招くことなく、ESD耐量を向上させることが可能であり、また、従来と同等のESD耐量をより低コストで実現できるだけでなく、寄生抵抗R11の両端に生じる電圧降下に起因して、PMOSトランジスタMP11Tのゲート酸化膜が絶縁破壊されるのを防ぐことも可能となる。

【0097】

その他、本発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも一つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも一つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0098】

【発明の効果】

以上、詳述したようにこの発明によれば、従来と同等のチップ面積であってもよりESD耐量を向上させることが可能な半導体装置、もしくは、従来と同等のESD耐量をより小さなチップ面積でも実現することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施形態にかかる半導体集積回路の構成例を示す回路図。

【図 2】

本発明の第 2 の実施形態にかかる半導体集積回路の構成例を示す回路図。

【図 3】

本発明の第 3 の実施形態にかかる半導体集積回路の構成例を示す回路図。

【図 4】

本発明の第 3 の実施形態にかかる半導体集積回路の他の構成例を示す回路図。

【図 5】

従来技術とその問題点を説明するために示す半導体集積回路の構成図。

【図 6】

従来の E S D 保護回路網における、任意の二端子間についての電圧と電流との関係を示す特性図。

【図 7】

図 5 に示した半導体集積回路において、サージ電圧が印加された場合の電流経路の一例を示す構成図。

【図 8】

図 5 に示した半導体集積回路の一構成例を示す回路図。

【図 9】

図 5 に示した半導体集積回路の他の構成例を示す回路図。

【図 1 0】

図 9 に示した半導体集積回路において、サージ電圧が印加された場合の電流経路の一例を示す回路図。

【符号の説明】

1 1 …第 1 の電源系統

1 2 …電源端子 (V D D)

1 3 …グランド端子 (V S S)

1 4 …第 1 の回路

2 1 …第 2 の電源系統

2 2 …電源端子

2 3 … グランド端子

2 4 … 第 2 の回路

4 1, 4 1 L … 信号線

5 1, 5 2, 5 3, 5 4 … 電源配線

6 1 … ESD 保護回路網

6 2, 6 3, 6 4, 6 5 … 端子

R 1, R 2, R 3, R 4, R 1 1, R 1 2 … 電源配線の寄生抵抗

MN 1, MN 3, MN 1 1, MN 1 2, MN 1 3, MN 1 4 … NMOS トラン
ジスタ

MP 1, MP 3, MP 1 1, MP 1 2, MP 1 3, MP 1 4 … PMOS トラン
ジスタ

MN 2 T, MN 1 1 T … NMOS トランジスタ (ゲート耐圧の高い素子)

MP 2 T, MP 1 1 T … PMOS トランジスタ (ゲート耐圧の高い素子)

INV 1, INV 2 T, INV 3 … インバータ

OT … 出力端子

IT … 入力端子

OC 1 … 出力回路

OC 2, OC 3 … 前段の回路

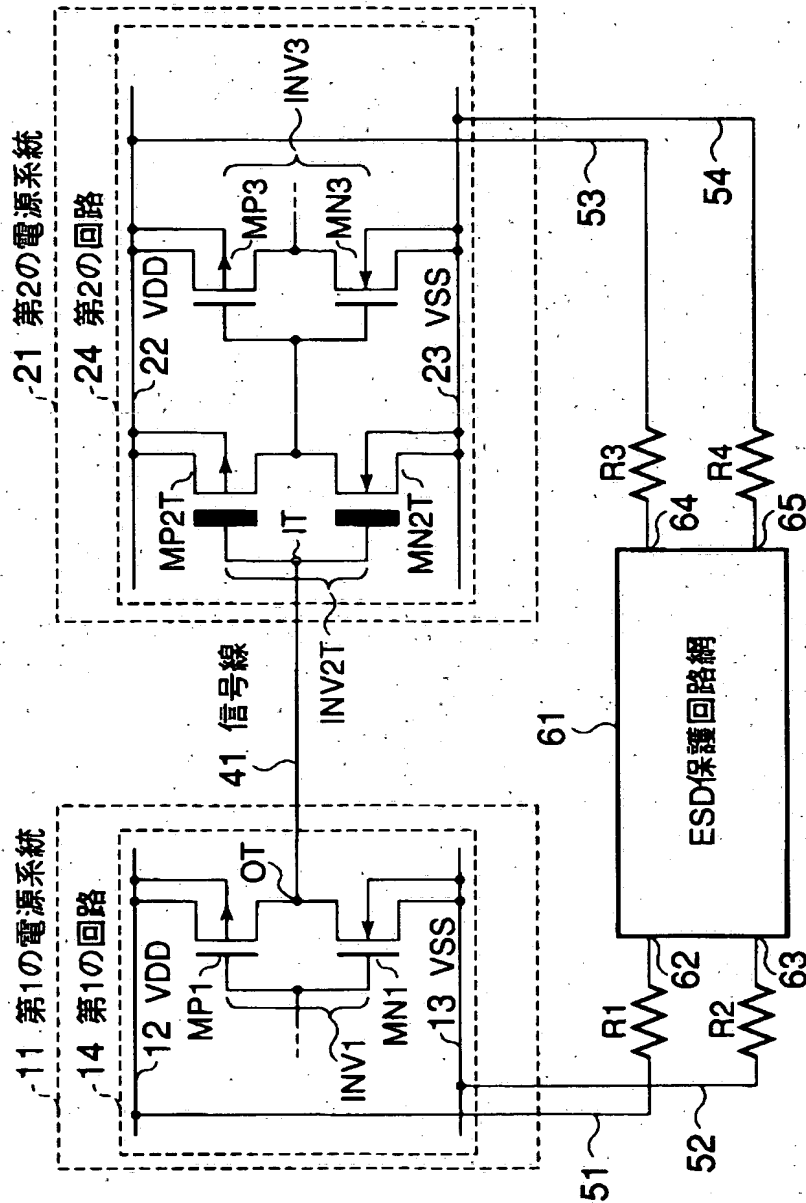
AS 1 … アナログスイッチ

Rlimit … 抵抗素子

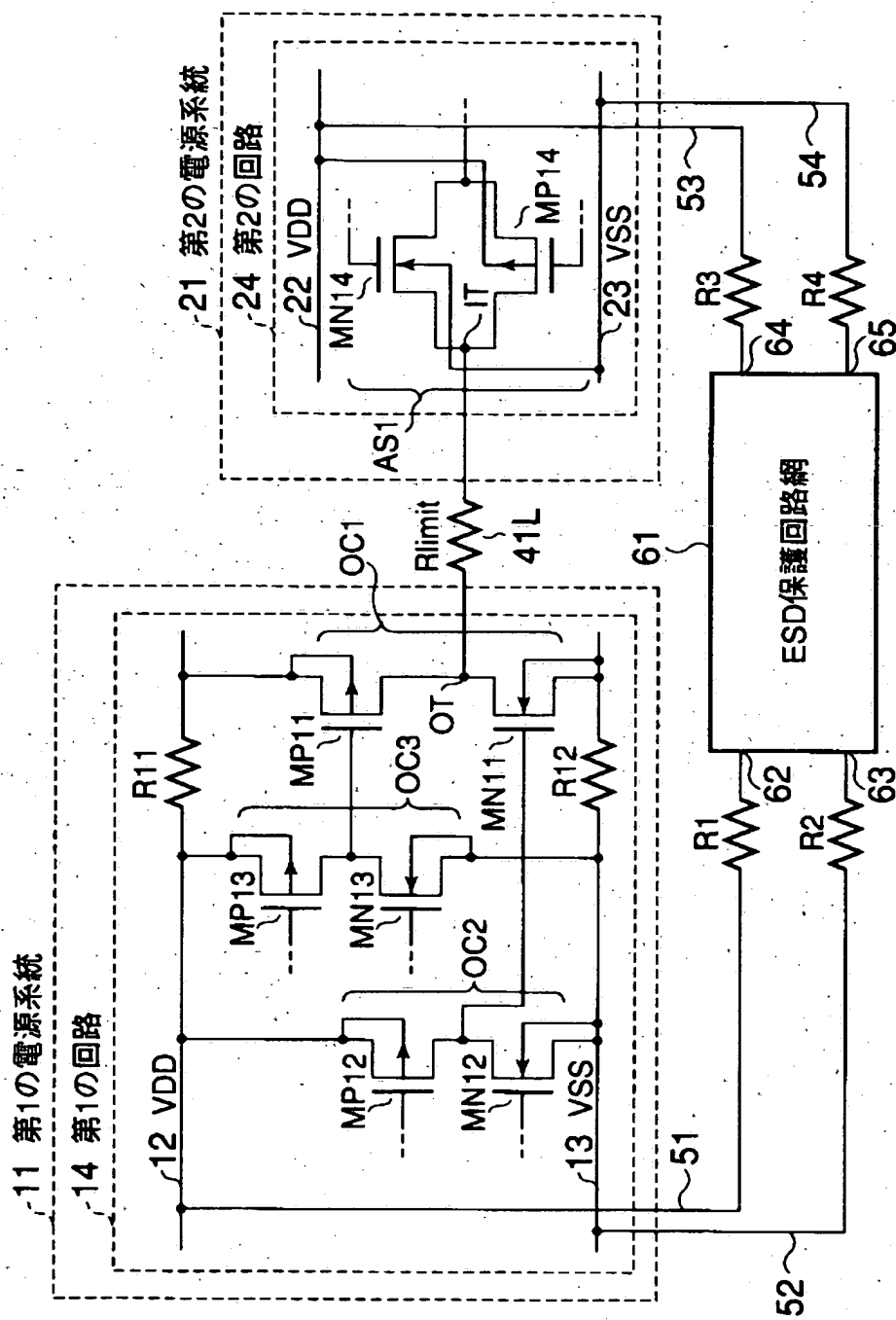
【書類名】

図面

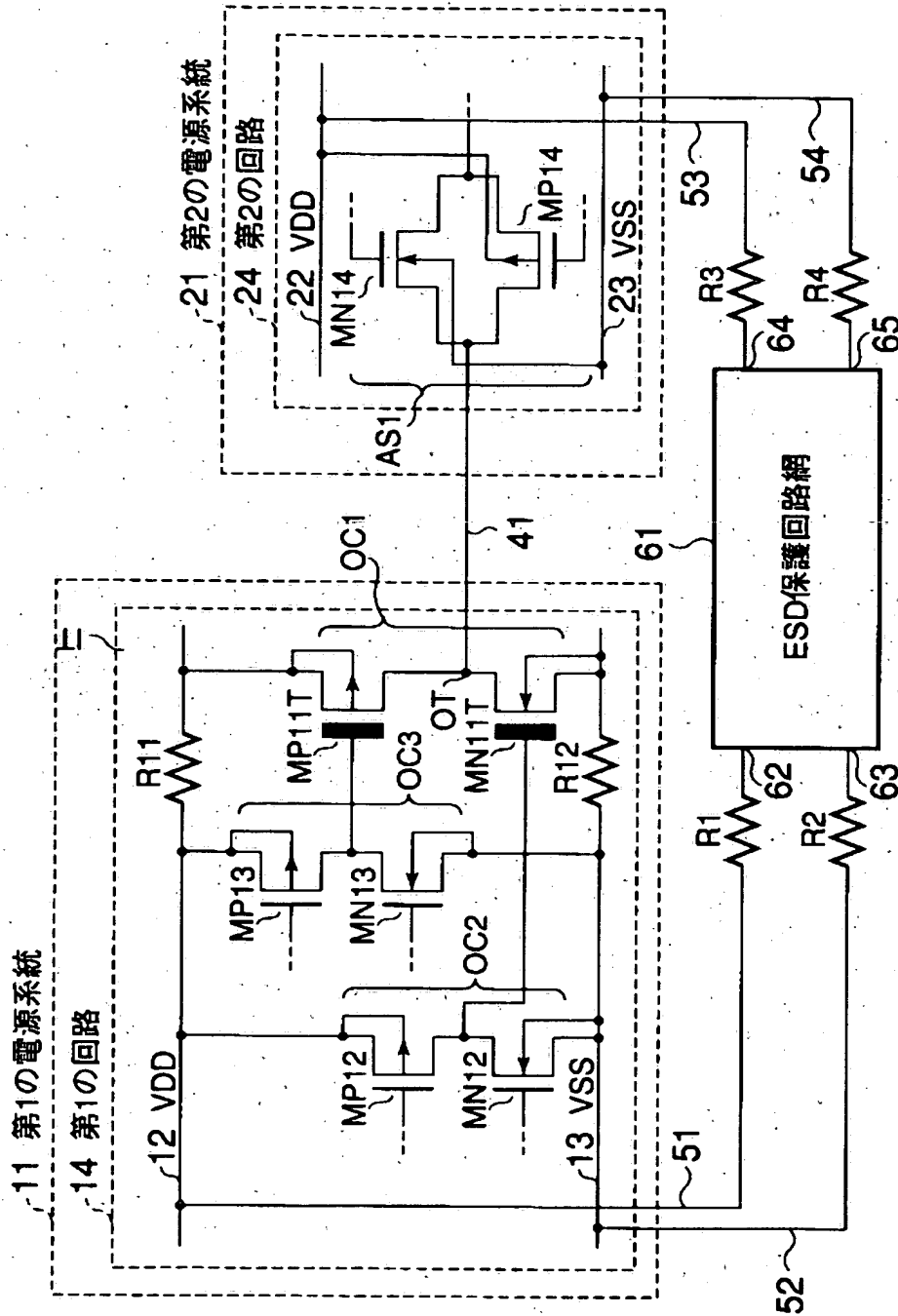
【図 1】



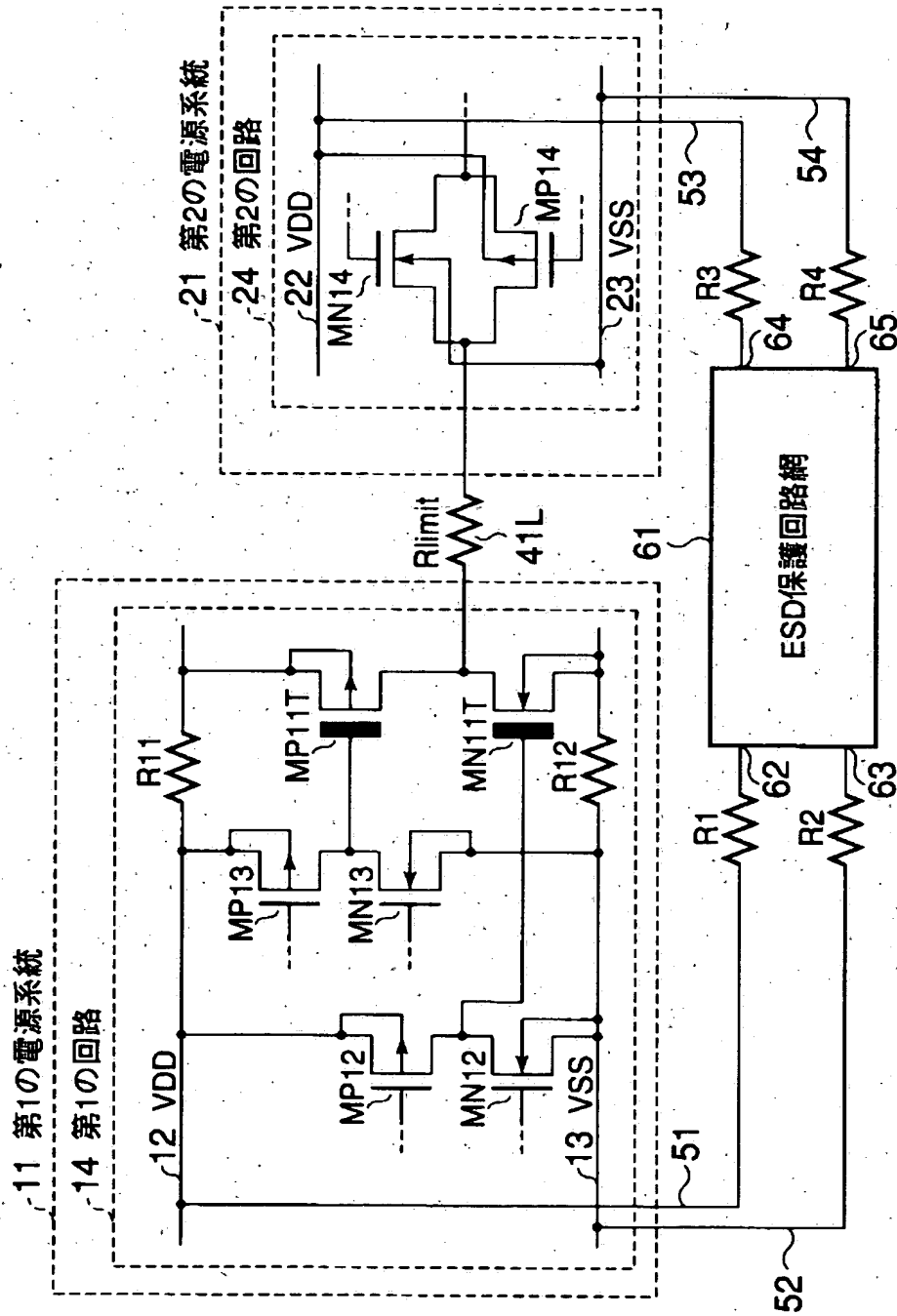
【図2】



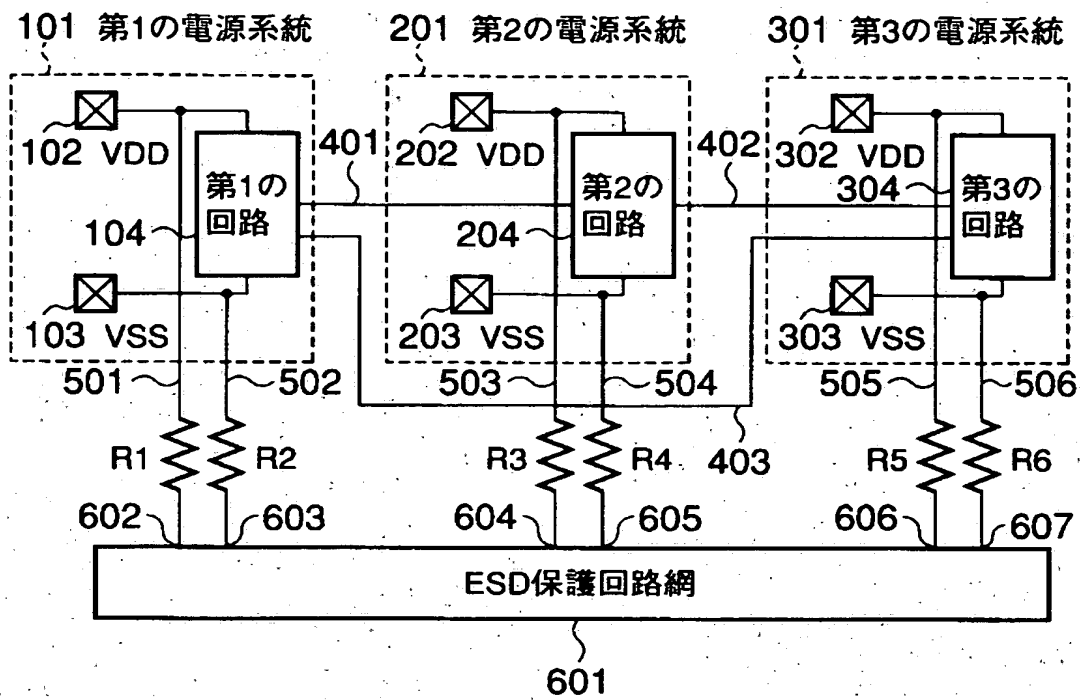
【図3】



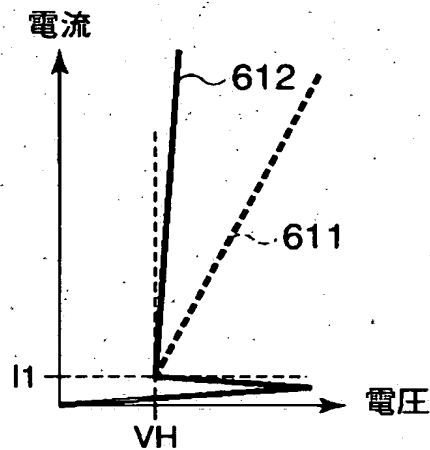
【図4】



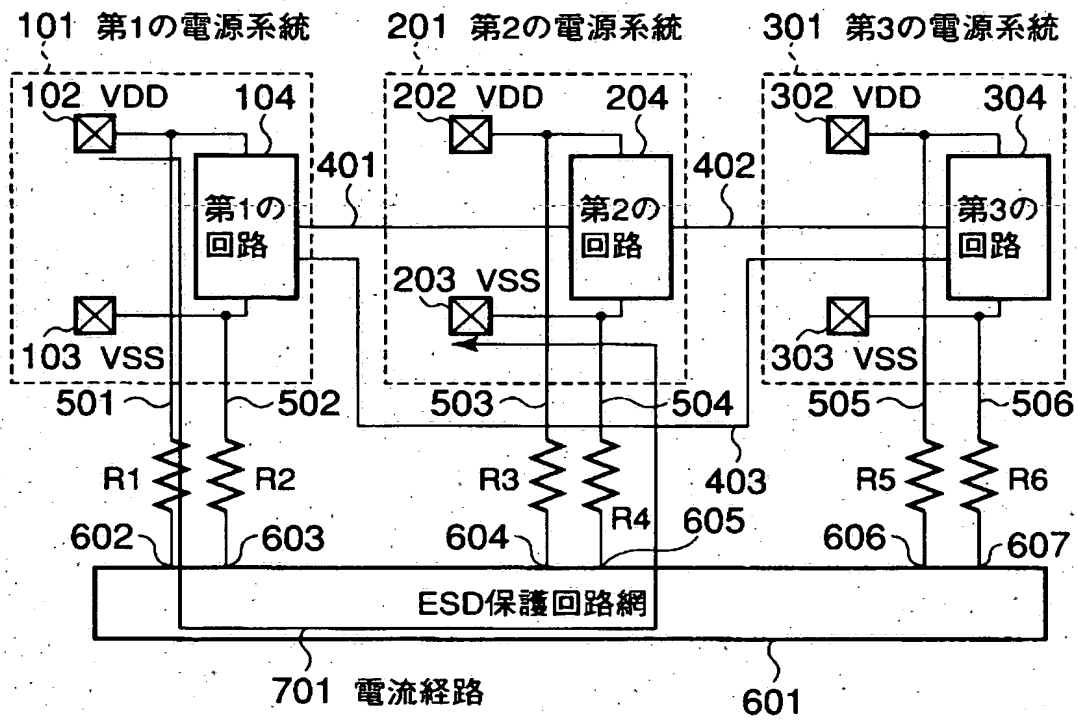
【図 5】



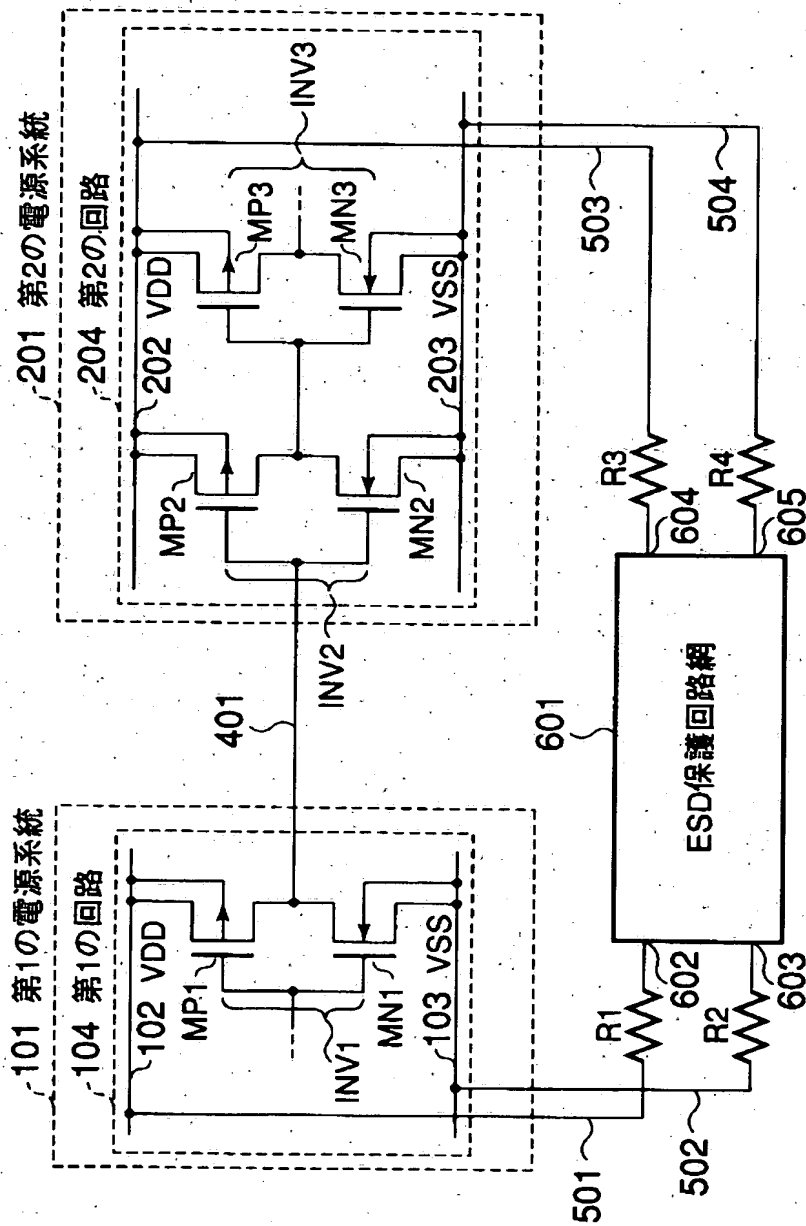
【図 6】



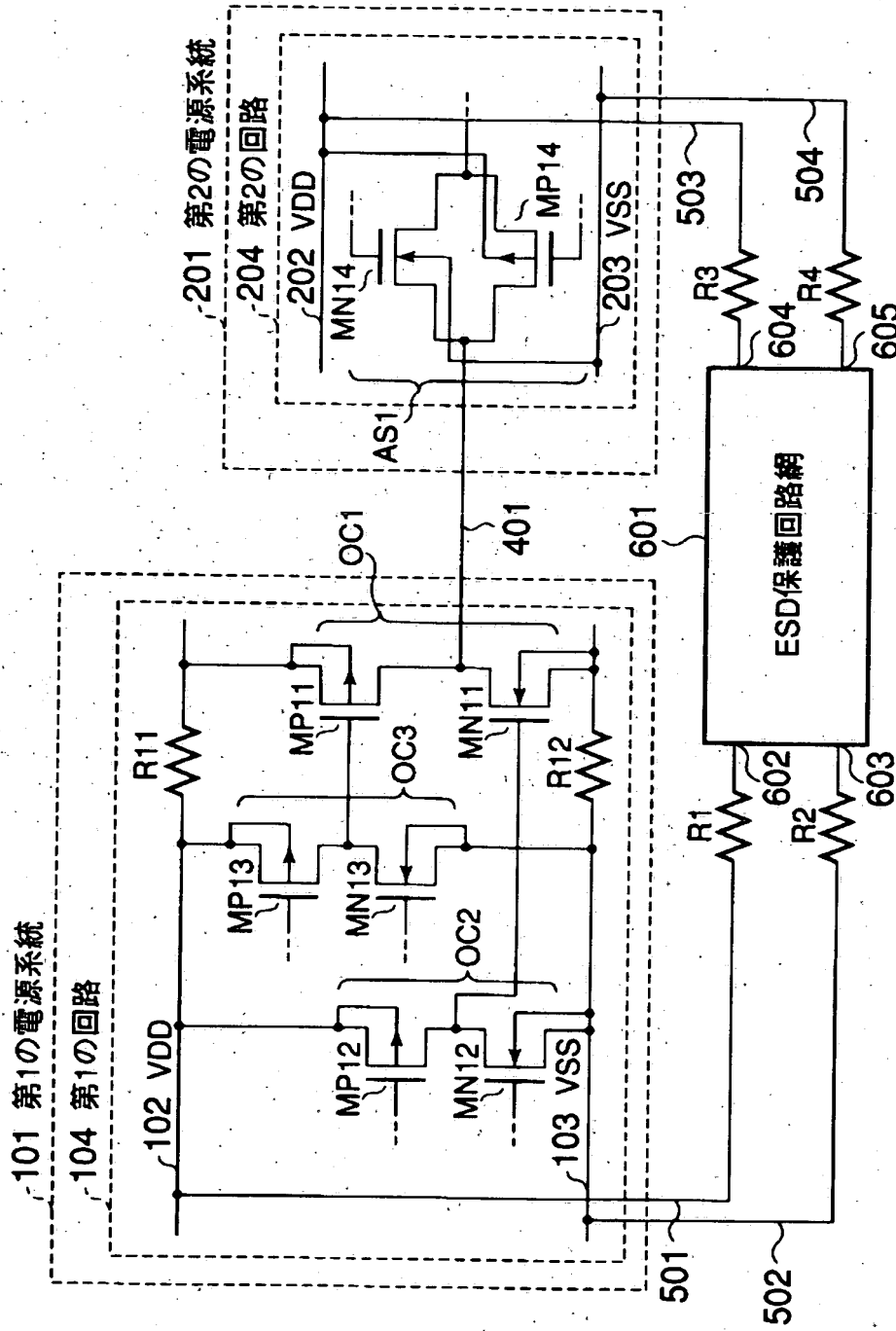
【図 7】



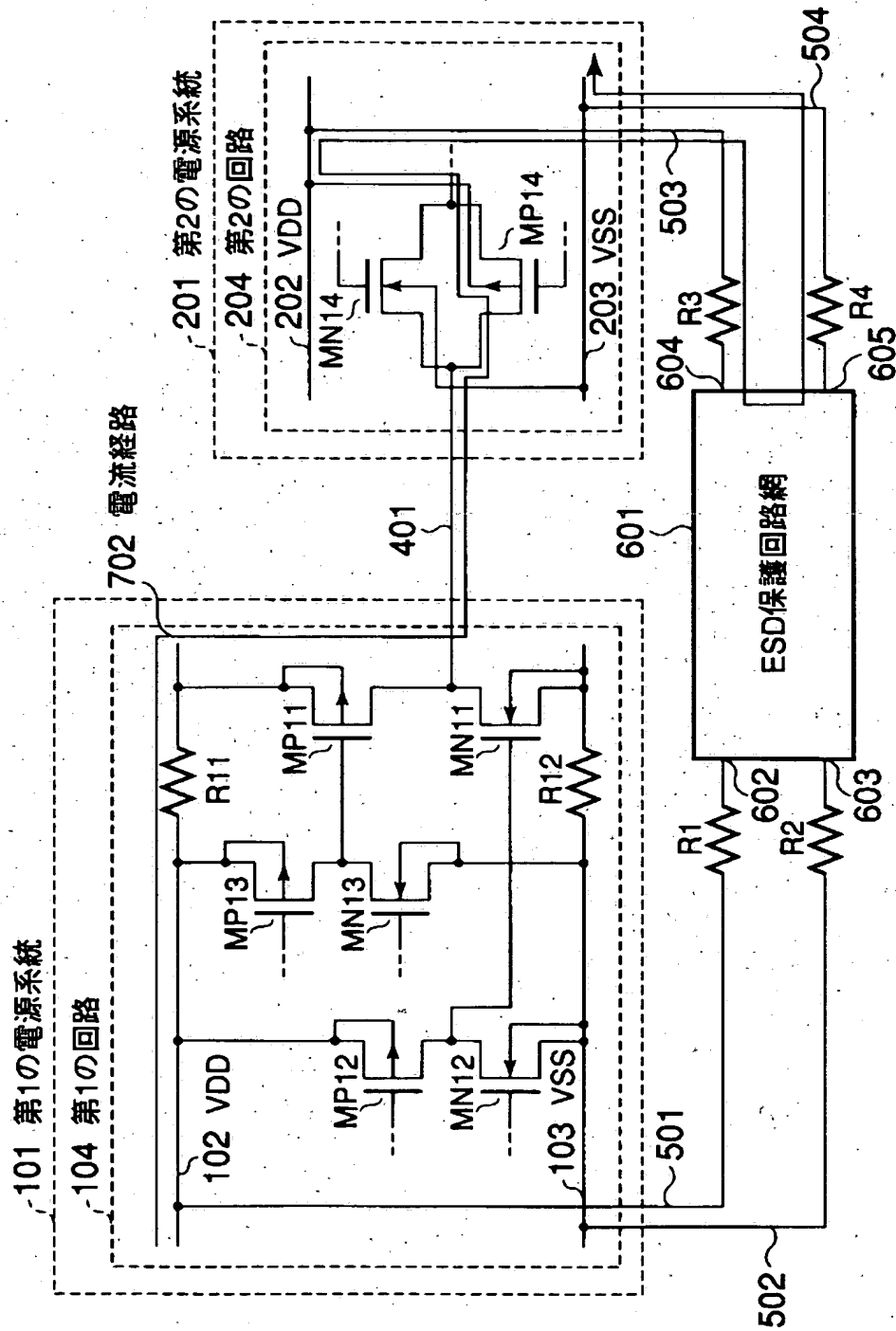
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 本発明は、互いに異なる電源系統に属する回路ブロックの間で信号を伝搬する半導体集積回路において、E S D耐量を向上できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、第1の電源系統1 1に属する第1の回路1 4は、N M O SトランジスタM N 1とP M O SトランジスタM P 1とで構成されたインバータI N V 1を含んでいる。第2の電源系統2 1に属する第2の回路2 4は、N M O SトランジスタM N 2 TとP M O SトランジスタM P 2 Tとで構成されたインバータI N V 2 Tを含んでいる。インバータI N V 1の出力端子O Tから出力される信号を、信号線4 1を介して、インバータI N V 2 Tの入力端子I Tより入力する場合、上記N M O S、P M O SトランジスタM N 2 T、M P 2 Tを、それぞれ、他の素子よりもゲート耐圧の高い素子によって構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝